

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-115839

(43)Date of publication of application : 06.05.1998

(51)Int.Cl.

G02F 1/136

G02F 1/1343

(21)Application number : 08-270040

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 11.10.1996

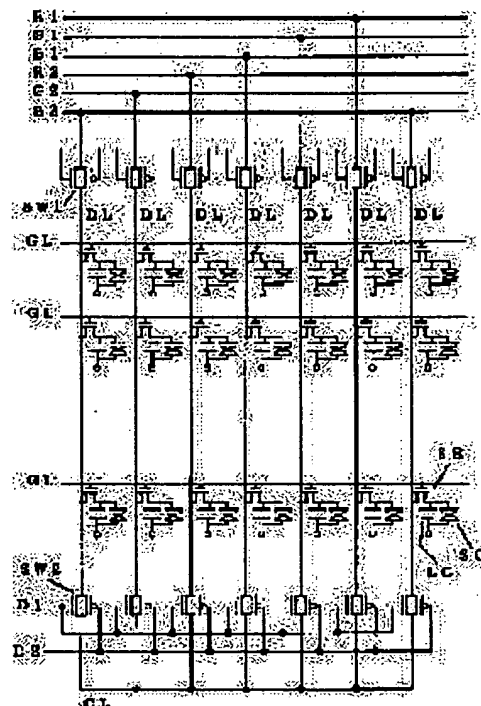
(72)Inventor : FURUMIYA NAOAKI
YOKOYAMA RYOICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make a liquid crystal display device reduced in power consumption, large in screen size and high in definition by reducing effective current and shortening the time required for rewriting display pixel information in a driver-integrated LCD using a p-SiTFT(poly-silicon thin film transistor).

SOLUTION: A drain line DL is conduction connected by a connecting line CL through a connecting analog switch SW2. A pixel signal voltage remained on respective drain line DL supplied from a sampling analog switch SW1 to a display pixel of a relevant row during one horizontal period is averaged by turning on the analog switch SW2 during a blanking period until a succeeding horizontal period starts. In dot inversion drive, since the pixel signal voltage is changed in its polarity at every drain line DL, just before pixel display information is exposed cancelably by conduction connecting them.



LEGAL STATUS

[Date of request for examination] 05.02.2001

[Date of sending the examiner's decision of rejection] 06.05.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

全項目

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開平10-115839
 (43)【公開日】平成10年(1998)5月6日
 (54)【発明の名称】液晶表示装置
 (51)【国際特許分類第6版】

G02F 1/136 500
 1/1343

【FI】

G02F 1/136 500
 1/1343

【審査請求】未請求

【請求項の数】3

【出願形態】OL

【全頁数】5

(21)【出願番号】特願平8-270040

(22)【出願日】平成8年(1996)10月11日

(71)【出願人】

【識別番号】000001889

【氏名又は名称】三洋電機株式会社

【住所又は居所】大阪府守口市京阪本通2丁目5番5号

(72)【発明者】

【氏名】古宮 直明

【住所又は居所】大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72)【発明者】

【氏名】横山 良一

【住所又は居所】大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(74)【代理人】

【弁理士】

【氏名又は名称】安富 耕二 (外1名)

(57)【要約】

【課題】p-SiTFTを用いたドライバー一体型LCDにおいて、実効電流を減少し、表示画素情報の書き換えに用する時間を短縮して、消費電力の低下、大画面化、高精細化を達成する。

【解決手段】ドレインラインDLを接続用アナログスイッチSW2を介して接続用ラインCLにより導通接続する。1水平期間中にサンプリング用アナログスイッチSW1より当該行の表示画素へ供給された各ドレインラインDLに残った画素信号電圧は、続く水平期間が始まるまでの帰線期間中にアナログスイッチSW2がオンされて平均化される。ドット反転駆動において、画素信号電圧はドレインラインDL毎に極性が異なっているので、これらを導通接続することにより直前の画素表示情報が相殺的に消去される。

【特許請求の範囲】

【請求項1】互いに交差して配置された複数のゲートラインおよびド레인ラインと、これら各交差部に形成された第1群のスイッチング素子と、この第1群のスイッチング素子に各々接続された液晶駆動用の表示電極と、外部より供給された原画信号より対応する画素信号電圧をサンプリングして前記各ド레인ラインに印加するドレインドライバーと、前記第1群のスイッチング素子を行単位に導通するために前記各ゲートラインに走査信号電圧を印加するゲートドライバーとを有する液晶表示装置において、極性の異なる画素信号電圧が印加された前記ド레인ラインを第2群のスイッチング素子を介して導通接続することを特徴とする液晶表示装置。

【請求項2】前記第1群及び第2群のスイッチング素子は、多結晶半導体を用いた薄膜トランジスタであることを特徴とする請求項1記載の液晶表示装置。

【請求項3】前記第2群のスイッチング素子は、前記ドレインドライバーがいずれの前記ド레인ラインにも画素信号電圧を印加しない期間に導通されることを特徴とする請求項1または請求項2記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型の液晶表示装置(LCD:Liquid Crystal Display)に関する。

【0002】

【従来の技術】LCDは小型、薄型、低消費電力などの利点があり、OA機器、AV機器などの分野で実用化が進んでいる。特に、スイッチング素子として、薄膜トランジスタ即ちTFT(Thin Film Transistor)を用いたアクティブマトリクス型は、原理的にデューティ比100%のスタティック駆動をマルチプレクスのに行うことができ、大画面、高精細な動画ディスプレイに使用されている。

【0003】近年、TFTのチャンネル層として多結晶(ポリ)シリコン(p-Si)を用いることによって、マトリクス表示部と周辺駆動回路部を同一基板上に形成した駆動回路一体型のLCDが開発されている。一般に、p-Siは非晶質シリコン(a-Si)に比べて移動度が高い。このため、TFTが小型化され、高精細化が実現される。また、ゲートセルフアライン構造による微細化、寄生容量の縮小による高速化が達成されるため、n-chTFTとp-chTFTからなるCMOS回路を形成することにより、高速駆動回路を構成することができる。このように、駆動回路部を同一基板上にマトリクス表示部と一体形成することにより、製造コストの削減、LCDモジュールの小型化が実現される。

【0004】図3はLCDの構成図である。中央のマトリクス回路は表示部である。走査線であるゲートライン(GL)と画素信号線であるド레인ライン(DL)が横縦に配置形成され、その各交差部にはTFT(SE)が形成されている。各TFT(SE)には、それぞれ液晶駆動用の画素容量(LC)及び電荷保持用の補助容量(SC)の一方の電極が接続されている。画素容量(LC)の他方の電極は、液晶層を挟んで対向配置された別の基板上に全面的に形成されている。即ち、画素容量(LC)は表示電極により液晶及び共通電極が区画されてなり、これらにTFT(SE)が接続されて表示画素が構成されている。

【0005】表示部の周辺には、主として水平シフトレジスタとサンプリング回路からなるドレインドライバー(DD)と、主として垂直シフトレジスタからなるゲートドライバー(GD)が配置されている。これら、ゲートドライバー(GD)及びドレインドライバー(DD)は、TFTのCMOS回路により構成されており、画素部のTFT(SE)と同様、p-Siを用いて同一基板上に一体的に形成されている。

【0006】ドレインドライバー(DD)は、水平シフトレジスタと、外部集積回路において作成された原画信号VDSGが供給されたビデオデータライン、及び、水平シフトレジスタの各段出力によりON/OFFが制御されるサンプリング用アナログスイッチが配列されてなる。アナログスイッチの一方の端子には、ビデオデータラインが接続され、他方の端子には、各々ド레인ライン(DL)が接続されている。水平シフトレジスタには外部集積回路より水平クロック信号HCLKとその反転クロック信号*HCLK及び水平スタートパルスHSTが供給され、垂直シフトレジスタには垂直クロック信号VCLKとその反転信号*VCLK、及び、垂直スタートパルスVSTが供給されている。これら水平シフトレジスタと垂直シ

フトレジスタはタイミングを合わせてスタートされ、行列的に指定された1点に合致する画素信号電圧がサンプリングされて各ドレインライン(DL)へ供給され、ゲートライン(GL)の選択中にONされたTFT(SE)を介して、画素容量(LC)へと充電される。

【0007】

【発明が解決しようとする課題】通常のLCDでは、液晶の劣化を防ぐために、交流駆動が行われ、かつ、同一方向への電圧変化により、画面がちらついて見えるいわゆるフリッカを防ぐため、1フィールド毎、1ライン毎、更には、1ドット毎に液晶への印加電圧の極性を正負に反転させている。このため、各画素への書き込みに際して、1つ前の水平期間に同じドレインライン(DL)へ印加された原画信号が逆極性の電圧として残っており、サンプリング用アナログスイッチを介して各ドレインライン(DL)へ印加される電圧は極性が反転され、その間に流れる電流が大きくなっていた。また、ドレインライン(DL)は、液晶を挟んで対向配置された共通電極、TFT(SE)、ゲートライン(GL)や補助容量の電極配線との間に形成される寄生容量が大きく、ドレインライン(DL)の極性を反転することにより消費電力を増大させていた。

【0008】

【課題を解決するための手段】本発明は、この課題を解決するために成され、互いに交差して配置された複数のゲートラインおよびドレインラインと、これら各交差部に形成された第1群のスイッチング素子と、この第1群のスイッチング素子に各々接続された液晶駆動用の表示電極と、外部より供給された原画信号より対応する画素信号電圧をサンプリングして前記各ドレインラインに印加するドレインドライバーと、前記第1群のスイッチング素子を行単位に導通するために前記各ゲートラインに走査信号電圧を印加するゲートドライバーとを有する液晶表示装置において、極性の異なる画素信号電圧が印加された前記ドレインラインを第2群のスイッチング素子を介して接続する構成である。

【0009】これにより、互いに逆極性の画素信号電圧が供給されたドレインラインの電荷が平均化される。このため、画素信号電圧が印加される前に、前の水平期間に供給された逆極性の画素信号電圧が抜き取られた形で、全てのドレインラインが正負の中間の電圧にされるので、現水平期間で各ドレインラインへ原画信号が印加されたときの画素信号電圧の変化量が減少し、消費電力が低減される。

【0010】特に、前記第1群及び第2群のスイッチング素子は、多結晶半導体を用いた薄膜トランジスタである構成である。これにより、多結晶半導体の薄膜トランジスタを用いて画素部と周辺駆動回路を一体にした液晶表示装置において、画素毎に画素信号電圧の極性を反転した交流駆動に要される消費電力が低減される。

【0011】特に、前記第2群のスイッチング素子は、前記ドレインドライバーがいずれの前記ドレインラインにも画素信号電圧を印加しない期間に導通される構成である。これにより、現フィールドにおいて画素信号電圧が印加される直前に、前フィールドで供給された逆極性の画素信号電圧が抜き取られるので、各ドレインラインへ原画信号を印加した時の原画信号電圧の変化量が減少し、消費電力が低減される。

【0012】

【発明の実施の形態】図1に、本発明の第1の実施の形態にかかる液晶表示装置の構成を示す。図の中央部は表示部であり、走査線であるゲートライン(GL)と画素信号線であるドレインライン(DL)が横縦に配置形成され、その各交差部にはTFT(SE)が形成されている。各TFT(SE)には、それぞれ液晶駆動用の画素容量(LC)及び電荷保持用の補助容量の(SC)の一方の電極が接続されている。画素容量(LC)の他方の電極は、液晶層を挟んで対向配置された別の基板上に全面的に形成されている。即ち、画素容量(LC)は表示電極により液晶及び共通電極が区画されてなり、これらにTFT(SE)が接続されて表示画素が構成されている。

【0013】図の上部には、走査信号に合致して、各ドレインライン(DL)に所定の画素信号電圧を供給するための、ドレインドライバーの一部構成要素を示してある。ここでは、R、G、B各々2本ずつのビデオデータライン(R1、G1、B1、R2、G2、B2)と、これらに順に接続して配列されたサンプリング用アナログスイッチ(SW1)を示している。これらアナログスイッチ(SW1)は、不図示である水平シフトレジスタにより制御されて順にオンされ、そのタイミングに合致してR、G、Bの原画信号をサンプリングし、画素信号電圧として各ドレインライン(DL)に順次に印加する。

【0014】一方、ゲートライン(GL)は、不図示である垂直シフトレジスタからなるゲートドライバーに

より、順次に走査信号電圧が供給され、同一行のTFT(SE)を一斉にオンとする。このオン期間中に、ドレインドライバより各ドレインライン(DL)に画素信号電圧が印加され、行列的に指定された各表示画素へ供給される。

【0015】ビデオデータラインのR1とR2、G1とG2、及び、B1とB2は、互いに逆極性となっており、かつ、隣接するビデオデータライン(R1、G1、B1、R2、G2、B2)は互いに逆極性となっている。図の下部には、本発明の主要構成要素の等価回路が示されている。ドレインライン(DL)が、各々接続用アナログスイッチ(SW2)を介して接続ライン(CL)により接続されている。これら、接続用アナログスイッチ(SW2)は、制御信号D1、D2により開閉される。

【0016】各行に関して、ゲートライン(GL)へハイレベルの走査信号電圧が印加されると、同一行のTFT(SE)が全てオンとなり、書き換え待機状態となる。この1水平期間は、ドレインドライバにおいて、複合映像信号に含まれた水平同期信号に基づいて作成された水平スタートパルス及び水平クロックパルスにより、そのスタートタイミング、及び、各列に割り当てべき1ドット期間が制御される。即ち、原画信号との位相タイミングが取られながら、各画素に供給すべき画素信号電圧をサンプリングして各ドレインライン(DL)へと印加していく。

【0017】制御信号D1、D2は、この水平帰線期間中、即ち、1行分の書き換えが終了して、次の行の書き換えまでの期間中に、接続用アナログスイッチ(SW2)をオンする。直前の水平期間中には、各ドレインライン(DL)に各画素へ書き込んだ画素信号電圧が残っており、これら各画素信号電圧は1列毎に正負逆極性となっている。従って、1水平期間終了後に、接続用アナログスイッチ(SW2)がオンされると、これを介して、全てのドレインライン(DL)が接続ライン(CL)により導通接続され、各ドレインライン(DL)に残っていた電荷が相互に移動し電圧が平均化される。即ち、各ドレインライン(DL)には、1本毎に正逆の電荷が残されており、これらが平均化されると、ほぼそれらの電圧は0に近づく。

【0018】このように、水平帰線期間中に、各ドレインライン(DL)に残った画素信号電圧を平均化することで、次の水平期間に、各ドレインライン(DL)へ前の水平期間とは極性が逆の画素信号電圧が印加される直前に、前フィールドの逆極性の電圧が消えているので、サンプリング用アナログスイッチ(SW1)を流れる電流が低減される。

【0019】通常、各ドレインライン(DL)に与えられる画素信号電圧は、1フィールド毎に正負が反転されるため、従来では、サンプリング用アナログスイッチ(SW1)に流れる電流は正から負へ、あるいは負から正へと大きくなる。このため、画素データの書き換えにおいては、前に充電された逆極性の画素信号電圧が無くなる前にも時間が要され、当該の画素信号電圧が充電されるまでの時間が長くなり、コントラスト比の低下、あるいは、大画面化及び高精細化の妨げ等の問題があった。また、サンプリング用アナログスイッチ(SW1)を流れる電流が大きくなるので、消費電力が増大してしまう。

【0020】本半発明において、1水平期間が終了する度に、次の水平期間が開始される前に、隣接する各ドレインライン(DL)を導通接続することで、直前に供給された互いに逆極性の電荷が平均化されて電圧が下がり、あるいは無くなる。従って、次の水平期間中に各ドレインライン(DL)へ印加される画素信号電圧が前の水平期間とは逆であっても、サンプリング用アナログスイッチ(SW1)を流れる電流が半減され、画素信号電圧の充電に要する時間が短縮され、また、消費電力が低減される。

【0021】図2に、本発明の第2の実施の形態にかかる液晶表示装置の構成を示す。本実施の形態では、接続ライン(CL)は隣接する2本のドレインライン(DL)を1組にして、接続用アナログスイッチ(SW2)を介して接続している。これにより、水平帰線期間中に、アナログスイッチ(SW2)を導通とすることで、互いに逆の極性の画素信号電圧が残された2本のドレインライン(DL)が導通接続され、これらの電荷が相互に移動して平均化され、前フィールドの画素信号電圧が消去される。

【0022】本実施の形態では、隣接する2本のドレインライン(DL)に印加された画素信号電圧が、互いに極性が逆でも必ずしもその大きさが同じではないため、2本のドレインライン(DL)を導通接続しても、前フィールドの画素信号電圧が完全には消去されない。しかし、本実施の形態では、多数本のドレインライン(DL)を導通接続する場合と比べて、電荷の移動総量が少なく、比較的速い時間で電圧が平均化されて安定する。また、接続ライン(CL)の形成が少なくて済むので、高精細、小型の駆動回路内蔵型p-SiTFTLCDにおいて、水平帰線期間が短く、かつ、配線形成のレイアウト上制約がある場合等、に適している。

【0023】なお、本発明は、上述の実施の形態に限定されるものではなく、例えば、アナログスイッチ

(SW2)を介して導通すべきドレインライン(DL)数は、当該液晶表示装置の帰線期間の長さ、配線形成におけるレイアウト上の制約を鑑みて2本乃至全本数で自由にできる。

【0024】

【発明の効果】以上の説明から明らかな如く、本発明で、画素表示情報の書き換え毎に極性が反転する液晶表示装置において、直前の画素表示情報を消去することが出来、書き換えに要する時間が短縮され、大画面化及び高精細化が促進されるとともに、実効電流が減少し、消費電力の低下が達成された。

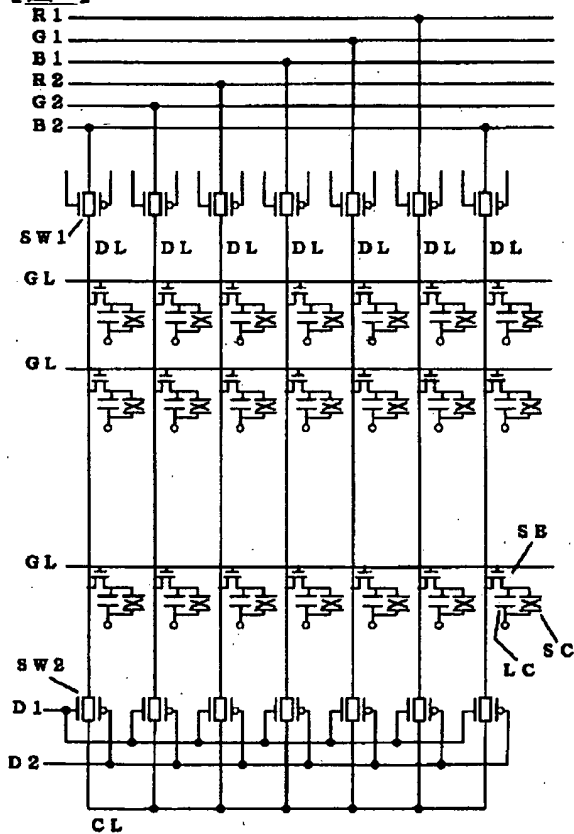
【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる液晶表示装置の構成図である。

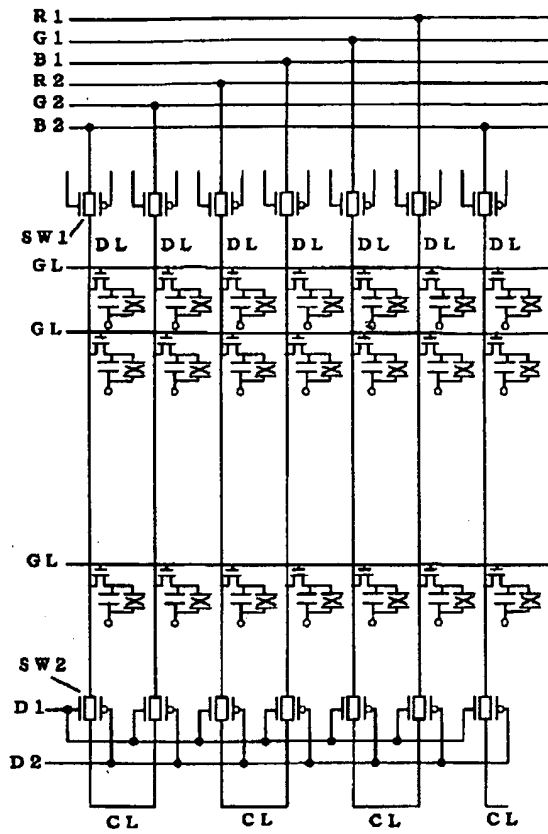
【図2】本発明の第2の実施の形態にかかる液晶表示装置の構成図である。

【図3】液晶表示装置の構成図である。

【図1】



【図2】



【図3】

